

Practitioner's Docket No.: 021906-0307405
Client Reference No.: PIA31178/DBE/US-HO

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: JI MYONG LEE

Confirmation No:

Application No.:

Group No.:

Filed: December 23, 2003

Examiner:

For: METHOD FOR PLANARIZING A SURFACE OF A SEMICONDUCTOR WAFER

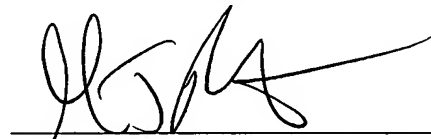
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SUBMISSION OF PRIORITY DOCUMENT

Attached please find the certified copy of the foreign application from which priority is claimed for this case:

<u>Country</u>	<u>Application Number</u>	<u>Filing Date</u>
Republic of Korea	10-2003-0060850	09/1/2003

Date: December 23, 2003
PILLSBURY WINTHROP LLP
P.O. Box 10500
McLean, VA 22102
Telephone: (703) 905-2000
Facsimile: (703) 905-2500
Customer Number: 00909



Glenn T. Barrett
Registration No. 38705



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0060850
Application Number

출원 년 월 일 : 2003년 09월 01일
Date of Application SEP 01, 2003

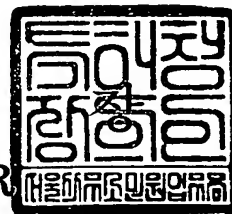
출원인 : 동부전자 주식회사
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2003 년 10 월 30 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0004
【제출일자】	2003.09.01
【발명의 명칭】	반도체 웨이퍼 평탄화 방법
【발명의 영문명칭】	PLANARIZATION METHOD IN SEMICONDUCTOR MANUFACTURING PROCESS
【출원인】	
【명칭】	동부전자 주식회사
【출원인코드】	1-1998-106725-7
【대리인】	
【성명】	장성구
【대리인코드】	9-1998-000514-8
【포괄위임등록번호】	1999-059722-7
【대리인】	
【성명】	김원준
【대리인코드】	9-1998-000104-8
【포괄위임등록번호】	1999-059725-9
【발명자】	
【성명의 국문표기】	이지명
【성명의 영문표기】	LEE, Ji Myong
【주민등록번호】	730927-1069112
【우편번호】	133-100
【주소】	서울특별시 성동구 옥수동 530-6
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 한 출원심사를 청구합니다. 대리인 장성구 (인) 대리인 김원준 (인)
【수수료】	
【기본출원료】	9 면 29,000 원
【가산출원료】	0 면 0 원

1020030060850

출력 일자: 2003/11/6

【우선권주장료】	0	건	0	원
【심사청구료】	2	항	173,000	원
【합계】	202,000			원
【첨부서류】	1.	요약서·명세서(도면)_1통		

【요약서】**【요약】**

본 발명은 반도체 웨이퍼 평탄화 방법에 관한 것으로, 캐리어 상에 탑재된 반도체 웨이퍼 표면을 연마하는 방법에 있어서, 반도체 웨이퍼 상부에 절연막을 형성하는 단계와, 반도체 웨이퍼 상의 절연막 표면에 슬러리를 공급하면서 패드로 제 1 연마하는 단계와, 제 1 연마 단계가 진행된 동일 챔버내에서 워터를 사용하면서 상기 반도체 웨이퍼 상의 절연막 표면을 패드로 제 2 연마하는 단계를 포함한다. 본 발명에 의하면, 워터 폴리싱이 가능한 절연막을 적용하여 클리닝 개념의 워터 폴리싱 공정을 수행함으로써, 슬러리만을 사용하는 종래의 CMP 공정에 비해 공정 비용을 줄일 수 있으며 스크래치 등의 결함을 방지할 수 있는 효과가 있다.

【대표도】

도 1

【명세서】**【발명의 명칭】**

반도체 웨이퍼 평탄화 방법{PLANARIZATION METHOD IN SEMICONDUCTOR MANUFACTURING PROCESS}

【도면의 간단한 설명】

도 1은 본 발명의 바람직한 실시예에 따라 수행되는 반도체 웨이퍼 평탄화 과정의 순서도,

도 2a는 일반적인 슬러리를 공급하여 제 1 연마 과정을 수행한 경우의 절연막 제거 비율을 나타내는 그래프,

도 2b는 본 발명에 따라 워터(water)를 사용하여 제 2 연마 과정을 수행한 경우의 절연막 제거 비율을 나타내는 그래프,

도 2c는 도 2a와 도 2b의 제 1 및 제 2 연마 과정을 수행한 경우의 전체 절연막 제거 비율을 나타내는 그래프.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<5> 본 발명은 반도체 웨이퍼 평탄화 공정에 관한 것으로, 특히 반도체 웨이퍼의 전체적 평탄화(global planarization)를 위해 행해지는 화학적 기계적 폴리싱(CMP ; Chemical Mechanical Polishing)을 마친 후에 폴리싱 패드 및 웨이퍼 상에 잔존하는 슬러리 잔여물을 스크래치 없이 세정하는 반도체 웨이퍼 평탄화 방법에 관한 것이다.

- <6> CPU 및 다양한 메모리 디바이스와 같은 반도체 제품의 제조에 있어서, CMP 기술은 폴리싱된 표면을 반도체 웨이퍼에 제공하는 전체적인 평탄화 프로세스이다. 현재, 오직 이러한 CMP 기술만이 반도체 웨이퍼의 전체적인 평탄화를 제공할 수 있다.
- <7> CMP 프로세스에서, 폴리싱될 웨이퍼의 표면은 CMP 머신 상의 폴리싱 패드 상에 뒤집어져 배치된다. 폴리싱 패드는 웨이퍼의 프로세스 표면을 문지르기 위해 회전될 수 있다. CMP 프로세스 동안, 통상적으로 슬러리로 지칭되는 화학적 작용제(chemical agent)는 웨이퍼의 프로세스 표면을 폴리싱하는데 있어서 폴리싱 패드를 보조하기 위해 웨이퍼 상에 도포된다.
- <8> 슬러리는 콜로이드 실리카, 분산 알루미나(dispersed alumina), KOH 또는 NH_4OH 또는 CeO_2 염기 슬러리와 같은 알칼리성 용액의 혼합물이 될 수 있다. 본질상 큰 연마성을 갖는 콜로이드 실리카 및 분산 알루미나 입자는 폴리싱 패드 상의 웨이퍼의 프로세스 표면을 폴리싱하는 것을 도울 수 있다.
- <9> 각 CMP 프로세스를 마친 후에, 폴리싱 패드 상에 남겨진 슬러리 잔여물은 다른 웨이퍼 상에서 다음 CMP 프로세스를 프로세싱하기 이전에 세정되어 제거되어야 한다.
- <10> CMP 프로세스의 완료 후에 폴리싱 패드 상의 슬러리 잔여물을 세정하는 데에는 여러 가지 기법들이 제시되고는 있으나, 폴리싱 패드 상에 남겨진 슬러리 잔여물 모두를 철저히 세정하여 제거하지는 못하는 한계가 있다.
- <11> 소량의 슬러리 잔여물이 폴리싱 패드 상에 잔존하게 되면, 슬러리 잔여물이 건조되는 때(dry out), 이들은 CMP 프로세스를 위해 폴리싱 패드 상에 배치된 다음 웨이퍼에 스크래치(scratches)를 야기한다. 이는 웨이퍼 수율에 큰 영향을 줄 수 있다.

【발명이 이루고자 하는 기술적 과제】

- <12> 본 발명은 이러한 종래 기술의 문제점을 해결하기 위해 구현한 것으로, CMP 공정 일부를 워터(water)를 사용하여 연마함으로써, 웨이퍼 스크래치를 방지하고 반도체 수율을 높이도록 한 반도체 웨이퍼 평탄화 방법을 제공하는데 그 목적이 있다.
- <13> 상술한 목적을 달성하기 위하여 본 발명은, 캐리어 상에 탑재된 반도체 웨이퍼 표면을 연마하는 방법에 있어서, 반도체 웨이퍼 상부에 절연막을 형성하는 단계와, 반도체 웨이퍼 상의 절연막 표면에 슬러리를 공급하면서 패드로 제 1 연마하는 단계와, 제 1 연마 단계가 진행된 동일 챔버내에서 워터를 사용하면서 상기 반도체 웨이퍼 상의 절연막 표면을 패드로 제 2 연마하는 단계를 포함하는 반도체 웨이퍼 평탄화 방법을 제공한다.

【발명의 구성 및 작용】

- <14> 이하 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 대해 설명하고자 한다.
- <15> 설명에 앞서, 본 발명의 핵심 기술 요지는 메인 폴리싱(main polishing), 즉 제 1 연마 과정을 수행하여 절연막을 일정 두께(전체 폴리싱 타겟의 약 80%) 제거한 후 워터 폴리싱(water polishing), 즉 제 2 연마 과정을 수행하여 절연막의 나머지 연마 범위(폴리싱 타겟의 약 20%)를 폴리싱한다는 것으로, 이러한 기술 사상으로부터 본 발명의 목적으로 하는 바를 용이하게 달성할 수 있을 것이다.
- <16> 또한, 본 발명에 따른 제 2 연마 과정에서의 워터 폴리싱을 수행하기 위해서는 워터 폴리싱이 가능한 산화막이 선행되어야만 한다. 현재 STI(Shallow Trench Isolation) 공정 이후 IMD(Inter Metal Dielectric) 공정이 이루어지는데, 이 IMD 층의 절연막을 산화막 계열로 사용하며, 여기에 사용되는 물질로는 O3-TEO, USG, FSG, TEOS 계열의 막이 사용될 수 있다.

- <17> 도 1은 본 발명의 바람직한 실시예에 따라 수행되는 반도체 웨이퍼 평탄화 과정의 순서도이다.
- <18> 먼저, 단계(S100)에서는 CVD 공정에 의해 상술한 막들을 증착한 후 후속 공정인 CMP 공정에서 평탄화 공정을 진행한다.
- <19> 이때, 이러한 평탄화 공정은 슬러리가 공급되는 제 1 연마 공정(메인 폴리싱 공정)과 제 1 연마 공정이 끝난 후 바로 진행되는 제 2 연마 공정(워터 폴리싱 공정)으로 나뉘어 진다.
- <20> 이러한 각 연마 공정에서의 절연막 제거 비율(Removal Rate)(단위 : Å)을 나타내면 다음 [표 1]과 같다.
- <21> [표 1]
- <22>
- | 절연막종류
연마단계 | FSG | USG | SiH | TEOS |
|---------------|------|------|-----|------|
| 제1연마(main) | 2400 | 800 | 300 | 400 |
| 제2연마(water) | 1200 | 1200 | 200 | 80 |
| 전체연마(total) | 3600 | 2000 | 500 | 480 |
- <23> 즉, 단계(S102)에서는 증착된 절연막 상에 슬러리를 공급하면서 패드로 제 1 연마 공정을 수행하는데, 이 제 1 연마 공정은 도 2a에 도시한 바와 같다.
- <24> 그리고, 단계(S104)에서는 전제 폴리싱 타겟의 나머지 부분을 연마하도록 워터를 사용하면서 반도체 웨이퍼 상의 절연막 표면을 패드로 제 2 연마한다. 이러한 제 2 연마 공정은 도 2b에 도시한 바와 같다.
- <25> 상술한 제 1 연마 및 제 2 연마 공정이 진행되면 도 2c에 도시한 바와 같은 절연막 제거 비율로 전체 연마 공정이 완료된다.

【발명의 효과】

<26> 본 발명에 의하면, 워터 폴리싱이 가능한 절연막을 적용하여 클리닝 개념의 워터 폴리싱 공정을 수행함으로써, 슬러리만을 사용하는 종래의 CMP 공정에 비해 공정 비용을 줄일 수 있으며 스크래치 등의 결함을 방지할 수 있는 효과가 있다.

<27> 한편, 본 발명은 상술한 실시예에 국한되는 것이 아니라 후술되는 청구범위에 기재된 본 발명의 기술적 사상과 범주내에서 당업자에 의해 여러 가지 변형이 가능하다.

【특허청구범위】**【청구항 1】**

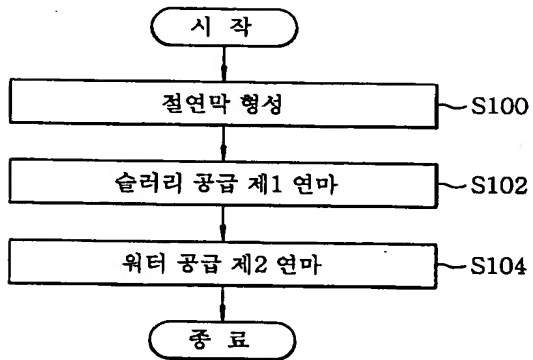
캐리어 상에 탑재된 반도체 웨이퍼 표면을 연마하는 방법에 있어서,
상기 반도체 웨이퍼 상부에 절연막을 형성하는 단계와,
상기 반도체 웨이퍼 상의 절연막 표면에 슬러리를 공급하면서 패드로 제 1 연마하는 단계와,
상기 제 1 연마 단계가 진행된 동일 챔버내에서 워터(water)를 사용하면서 상기 반도체 웨이퍼 상의 절연막 표면을 패드로 제 2 연마하는 단계를 포함하는 반도체 웨이퍼 평탄화 방법.

【청구항 2】

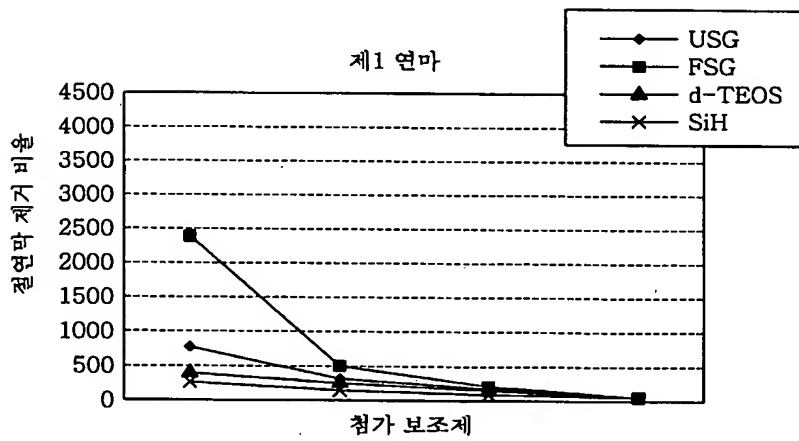
제 1 항에 있어서,
상기 절연막은 FSG, USG, SiH, TEOS 막 중 어느 하나인 것을 특징으로 하는 반도체 웨이퍼 평탄화 방법.

【도면】

【도 1】

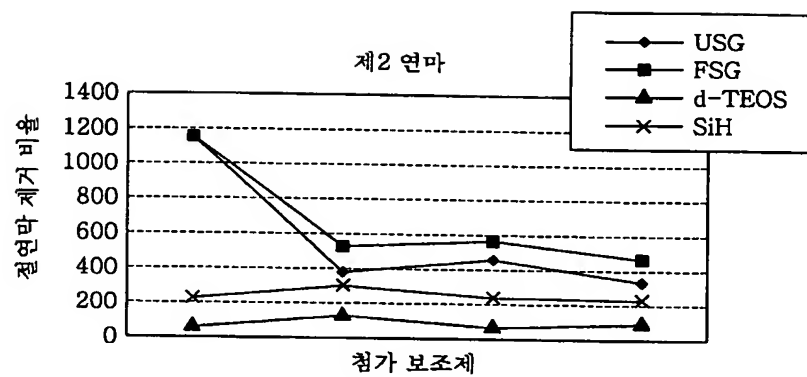


【도 2a】





【도 2b】



【도 2c】

